

CLIPPEDIMAGE= JP406252176A
PAT-NO: JP406252176A
DOCUMENT-IDENTIFIER: JP 06252176 A
TITLE: TRANSISTOR HAVING HIGH ELECTRON MOBILITY

PUBN-DATE: September 9, 1994

INVENTOR-INFORMATION:

NAME

AGAWA, KEIGO

KOBAYASHI, JUNICHIRO

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP05036868

APPL-DATE: February 25, 1993

INT-CL_(IPC): H01L021/338; H01L029/812

ABSTRACT:

PURPOSE: To improve a gate withstanding voltage of a transistor having a high electron mobility and reduce its leakage current, by forming a first recessed part which has a specified depth from the surface of an ohmic contact layer, and by forming a second recessed part connected with the first recessed part which is extended to the outside of the first recessed part and has a specified depth, and further, by the formation of a gate electrode in the first recessed part, etc.

CONSTITUTION: On a semi-insulating substrate 1, at least an undoped channel layer 3, an electron storage layer 5 and an ohmic contact layer 7 are provided.

In such a transistor having a high electron mobility, a first recessed part 31 is provided whose depth D_{1} from the surface of the ohmic contact layer 7 is larger than the depth of the layer 7. Also, in the transistor, a second recessed part is so provided on the outside of the first recessed part 31 as to be connected with the part 31, and its depth D_{2} is

smaller than
D<SB>1</SB> and is such depth that the ohmic contact layer 7 is
just removed by
it. Further, a gate electrode 8 is formed in the first recessed
part 31, and
source and drain electrodes 9, 10 are respectively contacted in
an ohmic way
with the ohmic contact layer 7.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-252176

(43)公開日 平成 6 年(1994) 9 月 9 日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/338

29/812

7376-4M

H 0 1 L 29/ 80

H

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21)出願番号 特願平5-36868

(22)出願日 平成 5 年(1993) 2 月 25 日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72)発明者 阿河 圭吾

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72)発明者 小林 純一郎

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

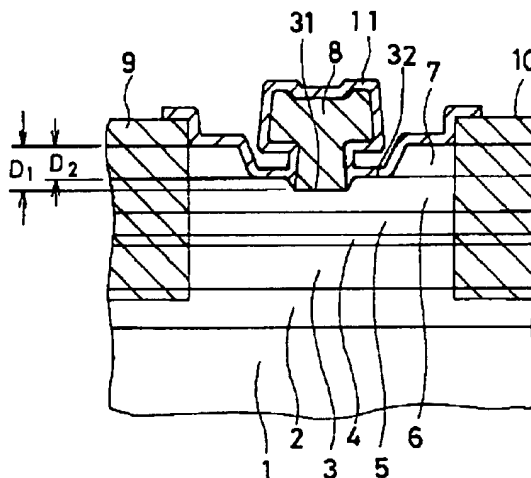
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 高電子移動度トランジスタ

(57)【要約】

【目的】 ゲート耐圧の向上と、リーク電流の低減化をはかる。

【構成】 半絶縁性基体 1 上に、少なくともアンドープのチャネル層 3 と、電子蓄積層 5 と、オーミックコンタクト層 7 とを有する高電子移動度トランジスタにおいて、そのオーミックコンタクト層 7 の表面からこのオーミックコンタクト層 7 の厚さ以上の深さ D_1 を有する第 1 の凹部 31 と、この第 1 の凹部 31 に連なりその外側にこの第 1 の凹部 31 より浅くかつオーミックコンタクト層 7 を排除する深さ D_2 の第 2 の凹部 32 とが形成され、第 1 の凹部 31 内においてゲート電極 8 が形成され、オーミックコンタクト層 7 にソース及びドレイン電極 9 及び 10 がオーミックコンタクトされた構成とする。



【特許請求の範囲】

【請求項1】 半絶縁性基体上に、少なくともアンドープのチャンネル層と、電子蓄積層と、オーミックコンタクト層とを有する高電子移動度トランジスタにおいて、上記オーミックコンタクト層の表面から該オーミックコンタクト層の厚さ以上の深さを有する第1の凹部と、該第1の凹部に連なりその外側に該第1の凹部より浅くかつ上記オーミックコンタクト層を排除する深さの第2の凹部とが形成され、

上記第1の凹部内においてゲート電極が形成され、
上記オーミックコンタクト層にソース及びドレイン電極がオーミックコンタクトされたことを特徴とする高電子移動度トランジスタ。

【請求項2】 半絶縁性基体上に、少なくともアンドープのGaInAsチャンネル層と、n型不純物がドーパされたAlInAs電子蓄積層と、n型GaInAsオーミックコンタクト層とを有する高電子移動度トランジスタにおいて、

上記オーミックコンタクト層の表面から該オーミックコンタクト層の厚さ以上の深さを有する第1の凹部と、該第1の凹部に連なりその外側に該第1の凹部より浅くかつ上記オーミックコンタクト層を排除する深さの第2の凹部とが形成され、

上記第1の凹部内においてゲート電極が形成され、
上記オーミックコンタクト層にソース及びドレイン電極がオーミックコンタクトされたことを特徴とする高電子移動度トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高電子移動度トランジスタ（以下HEMTという）に係わる。

【0002】

【従来の技術】HEMT、例えばAlInAs/GaInAs系HEMTにおいては、ソース及びドレイン電極を良好にオーミックコンタクトするために最上層にGaInAsによるオーミックコンタクト層を設け、これにソース及びドレイン電極をコンタクトしている。

【0003】図3はこの種従来のHEMTの略線的断面図を示す。この場合、半絶縁性のInP基体1上に、順次アンドープのInPあるいはAlInPのバッファ層2、アンドープGaInAsのチャンネル層3、アンドープAlInAsのスペーサ層4、n型AlInAsの電子蓄積層5、アンドープAlInAsのショットキーエンハンスメント層6、n型GaInAsのオーミックコンタクト層7が順次エピタキシャル成長されて成る。

【0004】そして、ゲート電極形成部において良好なショットキー接合を形成しにくいオーミックコンタクト層7を除去して、良好なショットキー接合を形成し得るショットキーエンハンスメント層6を外部に露出する第1の凹部21が形成され、この露出部においてゲート電

極8がショットキーエンハンスメント層6に対してショットキー接合を形成して被着形成され、これを挟んでその両側においてオーミックコンタクト層7上にソース及びドレイン各電極9及び10が被着され、これがチャンネル形成層3を横切る深さにアロイされる。

【0005】このようにして、チャンネル層3の電子蓄積層5側の界面、この例ではスペーサ層4との界面に2次元電子ガス層が形成されるようになされる。

【0006】11は表面パッシベーション用のSiN、SiO₂等より成る絶縁層である。

【0007】上述の構成では、第1の凹部21のみが形成されてゲート電極8に接近して高温度すなわち低比抵抗のオーミックコンタクト層7が存在し、電界が集中する屈曲部すなわち凹部21の底部屈曲部aがゲート電極8の近傍に存在していることが相俟ってゲート耐圧が低くなるという問題がある。

【0008】そこで、図4に示すように、上述の第1の凹部21の外側に、これより浅い第2の凹部22をオーミックコンタクト層7の厚さより小なる深さに形成することの提案がなされた。

【0009】このように、2段の凹部を設けることにより電界の集中を分散させることができてゲート耐圧の或る程度の改善はなされたが、この場合ゲート・ドレイン耐圧が劣化するという問題がある。

【0010】これは、この種のHEMTにおいては、表面にSiN、SiO₂等のパッシベーション用の絶縁層11が被着形成されていて、このSiN、SiO₂による絶縁層11と特にGaInAsよりなるオーミックコンタクト層7との界面におけるいわゆる界面リークが大きいに因る。

【0011】因みに、この従来の構造において、第2の凹部22の形成部においてもオーミックコンタクト層7を一部の厚さを残すようにしたのは、このオーミックコンタクト層7がソース側においてゲート部近傍に延在することによって、この延在部において、ショットキーエンハンスメント層6、電子蓄積層5等を横切ってチャンネルに向かうトンネル電流が生じこれによってソース抵抗の低減化がはかられ、電流駆動能力G_mの向上がはかられると考えられていたことによる。

【0012】

【発明が解決しようとする課題】本発明は、HEMTにおいて、ゲート耐圧の向上と、リーク電流の低減化をはかる。

【0013】

【課題を解決するための手段】第1の本発明は、図1にその一例の略線的断面図を示すように、半絶縁性基体1上に、少なくともアンドープのチャンネル層3と、電子蓄積層5と、オーミックコンタクト層7とを有する高電子移動度トランジスタにおいて、そのオーミックコンタクト層7の表面からこのオーミックコンタクト層7の厚さ

以上の深さ D_1 を有する第1の凹部31と、この第1の凹部31に連なりその外側にすなわちソース及びドレインの形成部側に広がってこの第1の凹部31より浅くかつオーミックコンタクト層7を排除する深さ D_2 の第2の凹部32とが形成され、第1の凹部31内においてゲート電極8が形成され、オーミックコンタクト層7にソース及びドレイン電極9及び10がオーミックコンタクトされた構成とする。

【0014】また、第2の本発明は、半絶縁性基体例えばInP基体1上に、少なくともアンドープの特にGaInAsチャネル層と、n型不純物がドーパされたAlInAs電子蓄積層と、n型GaInAsオーミックコンタクト層とを有する高電子移動度トランジスタ構成を採る場合において、オーミックコンタクト層7の表面からこのオーミックコンタクト層7の厚さ以上の深さ D_1 を有する第1の凹部31と、この第1の凹部31に連なりその外側にこの第1の凹部31より浅くかつオーミックコンタクト層7を排除する深さ D_2 の第2の凹部32とが形成され、第1の凹部31内においてゲート電極8が形成され、オーミックコンタクト層7にソース及びドレイン電極9及び10がオーミックコンタクトされた構成とする。

【0015】

【作用】上述の構成によれば、第1及び第2の2重の凹部31及び32をゲート電極8とソース及びドレインとの間に形成したことから電界の集中を緩和できてゲート耐圧の向上をはかることができると共に、第2の凹部32によってゲート電極8の近傍のオーミックコンタクト層6を排除したことによってオーミックコンタクト層6がゲート電極8に近接しないようにしたことによって、オーミックコンタクト層6とその表面のパッシベーション絶縁層11との界面に生じるゲート・ドレイン間のリーク電流の発生を効果的に改善できた。

【0016】そして、この場合オーミックコンタクト層6の排除によってソース電極9とチャネル層3に対する電子蓄積層5を通じてのトンネル電流の発生が阻害されることによるソース抵抗の増大はさほどみられなかった。これは、実際には、AlInAs/GaInAsのヘテロ接合におけるバリアが高く、前述の図4の構成においてもこのトンネル電流の発生はさほど生じていないものであり、このためソース抵抗の低減化がさほど生じていなかったことによるものと思われる。

【実施例】図1を参照して本発明の一実施例を詳細に説明する。この例では、半絶縁性のInP基体1上に、順次アンドープのInPあるいはAlInPのバッファ層2、例えば厚さ500ÅのアンドープGaInAsのチャネル層3、厚さ20ÅのアンドープAlInAsのスペーサ層4、厚さ100Åで不純物濃度が 5×10^{18} atoms/cm³のn型AlInAsの電子蓄積層5、厚さ150ÅのアンドープAlInAsのショットキーエンハ

スメント層6、厚さ100Åの不純物濃度が 5×10^{18} atoms/cm³のn型GaInAsのオーミックコンタクト層7が順次エピタキシャル成長されて成る。

【0017】そして、ゲート電極形成部においてオーミックコンタクト層7の表面側よりこのオーミックコンタクト層7の厚さより深くショットキーエンハンスメント層6内に入り込む深さを有し、ショットキーエンハンスメント層6の一部を外部に露出する第1の凹部31が形成される。

【0018】また、この第1の凹部31に連なりその外側にすなわちソース及びドレイン側に広がるように、この第1の凹部31より浅くしかもオーミックコンタクト層7の厚さ以上の深さの第2の凹部32が形成される。

【0019】この第2の凹部32の形成は、実際にはオーミックコンタクト層7とこれとは異なる化合物半導体材料のショットキーエンハンスメント層6とのエッチング特性の差を利用して選択的エッチングすることができ、その深さはオーミックコンタクト層7の厚さに相当する深さとし得る。

【0020】そして、第1の凹部31によって露出したショットキーエンハンスメント層6に対してショットキー接合を形成するようにゲート電極8が被着形成される。

【0021】そして、このゲート電極8を挟んでその両側においてオーミックコンタクト層7上にソース及びドレイン各電極9及び10が被着され、これがチャネル形成層3を横切る深さにアロイされる。

【0022】11は表面パッシベーション用のSiN等より成る絶縁層である。

【0023】この構成によれば、第1及び第2の2重の凹部31及び32をゲート電極8のソース及びドレイン間に形成したことから電界の集中を緩和できてゲート耐圧の向上をはかることができると共に、第2の凹部32によってゲート電極8の近傍のオーミックコンタクト層6を排除したことによってオーミックコンタクト層6がゲート電極8に近接しないようにしたことによって、オーミックコンタクト層6とその表面のパッシベーション絶縁層11との界面に生じるゲート・ドレイン間のリーク電流の発生を効果的に改善できた。

【0024】図2は、ゲート・ドレイン間電圧に対するゲート・ドレイン間電流の測定結果を示すもので、曲線41が図1で説明した本発明によるHEMTの場合であり、曲線42が図4に示した従来構造のHEMTの場合である。これら曲線を比較して明らかなように、本発明によればゲート・ドレイン間のリーク電流の発生を効果的に改善できる。

【0025】なお、上述した例では、AlInAs/GaInAs系HEMT構成とした場合、特にパッシベーション用の絶縁層11ととの間の界面リークの問題の改善がはかられるが、同様の問題のある他の化合物半導体材

5

料を用いる場合、あるいは他のGaAs/AlGaAs系HEMT構成とすることもできるなど種々の構成を採り得る。

【0026】また、上述の例では、バッファ層2が設けられた構造とした場合であるが、これを省略してチャネル層3の厚さを大としてこれ自体でバッファ層の効果を得る構造とすることもできるなど種々の変形変更をとることができる。

【0027】

【発明の効果】上述したように、本発明によれば、HEMTにおいてゲート耐圧の向上と例えばAlInAs/GaInAs系において問題となるリーク電流の低減化をはかることができるという実用上大きな利益をもたらすものである。

【図面の簡単な説明】

【図1】本発明による高電子移動度トランジスタの一例の略線的断面図である。

6

【図2】ゲート・ドレイン間電流-ゲート・ドレイン間電圧の測定曲線図である。

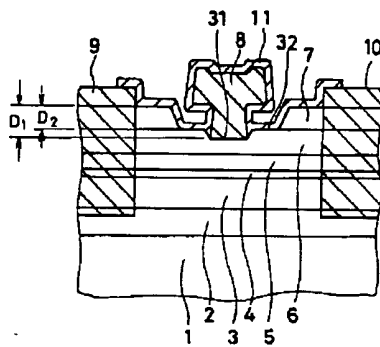
【図3】従来の高電子移動度トランジスタの略線的断面図である。

【図4】従来の高電子移動度トランジスタの略線的断面図である。

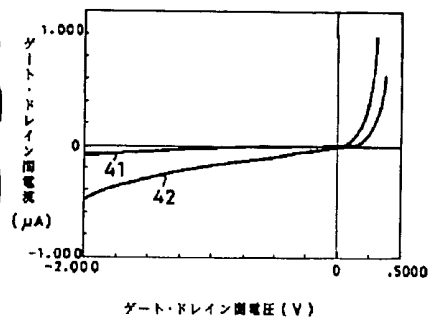
【符号の説明】

- 1 基体
- 3 チャネル層
- 5 電子蓄積層
- 6 ショットキーエンハンスメント層
- 7 オーミックコンタクト層
- 8 ゲート電極
- 9 ソース電極
- 10 ドレイン電極
- 31 第1の凹部
- 32 第2の凹部

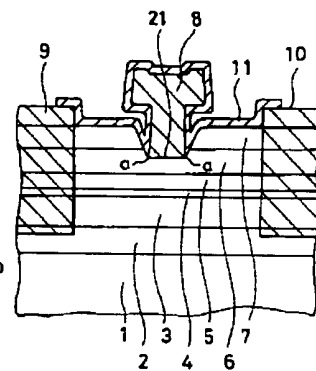
【図1】



【図2】



【図3】



【図4】

